

# KAÏNA-COM TRAINING CATALOGUE

## FPGA (field-programmable gate array)

**Learning by doing - Hardware Description Languages (HDL), FPGA architectures, EDA tools review, FPGA development process, exposure to industry tools, and more**



**Nos locaux**  
KAÏNA-COM France  
LE CARRÉ HAUSSMANN II  
6 Allée de la Connaissance  
77 127 Lieusaint



**Contact**  
+33(0)9 50 20 91 64



**E-mail**  
info@kaina-com.fr



**Site Internet**  
www.kaina-com.fr

## KBP004 – FPGAXpert

---

**Référence** KBP004

---

**Niveau**

- Débutant
- Intermédiaire
- Expert

---

**Nombre De Jours** Programme de Formation (120 H) :

- 23 x 4h par jour

---

**Lieu de la formation**

- I: e-learning, Formation individuelle (Formation en Ligne)
- V: v-learning, classe virtuelle
- C: c-learning, cours présentiel

**KAÏNA-COM**  
LE CARRÉ HAUSSMANN II,  
6 Allée de la Connaissance  
77127 Lieusaint – France

---

**Prix** 5.625,00 € HT

---

**Prérequis** Connaissance des techniques de conception FPGA nécessaire  
Connaissance de base de Verilog ou VHDL  
Un niveau d'anglais business moyen est requis car la formation sera dispensée en anglais.

---

**Public**

- Toute personne qui cherche à accroître ses compétences et à se perfectionner comme développeur avancé FPGA.
- Ingénieur en électronique avec des connaissances dans le domaine du numérique qui souhaite se convertir expert FPGA

---

*Ce sujet continue à la page suivante*



## **KBP004 – FPGAXpert, Suite**

---

### **Objectifs**

Partie A - Description du matériel et programmation : VHDL /  
VERILOG - 36 heures

- Étudier, en profondeur, la structure du langage, comment coder de manière appropriée et efficace, avec exercices pratiques en Lab.

Partie B – Conception / Design FPGA - 52 heures

- Cours couvrant l'architecture interne des composants, la meilleure utilisation des différentes ressources des composants, l'analyse efficace des rapports, l'interface des composants et de la carte, les considérations de modification de la carte et plus encore.

Partie C – Le Temps - 20 heures

- Examen complet de la structure d'horloge interne du FPGA, compréhension de la complexité des temporisations et de la meilleure façon de les résoudre, lecture des rapports de synchronisation des différents outils et comment optimiser la synchronisation et / ou la position des composants.  
Compréhension approfondie de l'architecture interne des composants FPGA

Partie D - Outils de développement - 12 heures

- Les élèves vont expérimenter différents outils et apprendre à les utiliser pour des performances optimales. Nous étudierons aussi les outils de développement courants de l'industrie tels que: Vivado HLx, Logic Analyzer, Questa, Modelsim, HyperLynx, VCS et autres.

Partie E - Projet pratique -

- Projet de niveau industriel avec un expert métier qui vous accompagne de manière personnalisée tout au long de votre projet.

---

*Ce sujet continue à la page suivante*



## KBP004 – FPGAXpert, Suite

### Contenu du cours

Contenu du cours :

**Table 1: KBP004 - Contenu du cours**

Chapitre	Contenu
<b>Digital Design</b>	Design Digital Foundation <ul style="list-style-type: none"> <li>• Designing with programmable logic</li> <li>• Synchronous design techniques</li> <li>• Using HDLs</li> <li>• VHDL/Verilog</li> </ul> Design Methodologies <ul style="list-style-type: none"> <li>• Top Down Design</li> <li>• Signals and Variables</li> <li>• Packages</li> <li>• Coding for Synthesis</li> <li>• Test benches</li> <li>• Technology Specific Code</li> </ul>
<b>Project</b>	<ul style="list-style-type: none"> <li>• Project Kickoff, explaining and choosing project subjects per teams of two. Distributing FPGA boards, board per attendee</li> </ul>
<b>VHDL / Verilog</b>	<ul style="list-style-type: none"> <li>• HDL for Designers</li> <li>• VHDL/Verilog Language Concepts</li> <li>• Introduction to Testbenches</li> <li>• Signal and Data Types</li> </ul>
<b>Project</b>	<ul style="list-style-type: none"> <li>• Project architectures presented by students</li> </ul>
<b>EDA</b>	<ul style="list-style-type: none"> <li>• Modelsim/Questa/VCS</li> <li>• Synplicity/Vendor Tools</li> <li>• Xilinx Vivado HLx/Logic-Analyzer</li> <li>• ChipScope/SignalTap/Identify</li> </ul>

*Ce sujet continue à la page suivante*



## KBP004 – FPGAXpert, Suite

### Contenu du cours, Suite

Chapitre	Contenu
<b>FPGA Design</b>	<p>FPGA for Designers</p> <ul style="list-style-type: none"><li>• Basic FPGA Architecture</li><li>• HDL Synthesis Synchronous Design</li><li>• Techniques-details and labs.</li><li>• Reading Reports</li><li>• Global Timing Constrains</li><li>• Clock Tree</li><li>• Designing with FPGA Resources</li><li>• Designing Clock Resources</li><li>• Basics of DSP Slice within a Chip</li><li>• FPGA Design Techniques</li><li>• Synthesis Techniques</li><li>• Achieving Timing Closure</li><li>• Reading Timing Reports</li><li>• Path-Specific Timing Constraints</li><li>• Power Estimation</li></ul> <p>Board Design and Signal Integrity</p> <ul style="list-style-type: none"><li>• Board Development Process</li><li>• Signal Integrity for High Speed Board</li><li>• Design Verification of Board Design</li></ul>
<b>Project</b>	<ul style="list-style-type: none"><li>• Projects presented by Students</li></ul>
<b>The End</b>	<ul style="list-style-type: none"><li>• Q&amp;A</li><li>• Course's Evaluation</li></ul>

