

KAÏNA-COM TRAINING CATALOGUE

FPGA (field-programmable gate array)

Apprendre par la pratique - Langages de description matérielle (HDL), architectures FPGA, revue des outils EDA, processus de développement FPGA, l'exposition aux outils de l'industrie, et plus



Nos locaux
KAÏNA-COM France
LE CARRÉ HAUSSMANN II
6 Allée de la Connaissance
77 127 Lieusaint



Contact
+33(0)9 50 20 91 64



E-mail
info@kaina-com.fr



Site Internet
www.kaina-com.fr

KBP004 – FPGAXpert

Référence KBP004

Niveau

- Débutant
- Intermédiaire
- Expert

Nombre De Jours Programme de Formation (120 H) :

- 23 x 4h par jour

Lieu de la formation

- I: e-learning, Formation individuelle (Formation en Ligne)
- V: v-learning, classe virtuelle
- C: c-learning, cours présentiel

KAINA-COM
LE CARRÉ HAUSSMANN II,
6 Allée de la Connaissance
77127 Lieusaint – France

Prérequis

Connaissance des techniques de conception FPGA nécessaire
Connaissance de base de Verilog ou VHDL
Un niveau d'anglais business moyen est requis car la formation sera dispensée en anglais.

Public

- Toute personne qui cherche à accroître ses compétences et à se perfectionner comme développeur avancé FPGA.
- Ingénieur en électronique avec des connaissances dans le domaine du numérique qui souhaite se convertir expert FPGA

Ce sujet continue à la page suivante



KBP004 – FPGAXpert, Suite

Objectifs

Partie A - Description du matériel et programmation : VHDL / VERILOG - 36 heures

- Étudier, en profondeur, la structure du langage, comment coder de manière appropriée et efficace, avec exercices pratiques en Lab.

Partie B – Conception / Design FPGA - 52 heures

- Cours couvrant l'architecture interne des composants, la meilleure utilisation des différentes ressources des composants, l'analyse efficace des rapports, l'interface des composants et de la carte, les considérations de modification de la carte et plus encore.

Partie C – Le Temps - 20 heures

- Examen complet de la structure d'horloge interne du FPGA, compréhension de la complexité des temporisations et de la meilleure façon de les résoudre, lecture des rapports de synchronisation des différents outils et comment optimiser la synchronisation et / ou la position des composants.
Compréhension approfondie de l'architecture interne des composants FPGA

Partie D - Outils de développement - 12 heures

- Les élèves vont expérimenter différents outils et apprendre à les utiliser pour des performances optimales. Nous étudierons aussi les outils de développement courants de l'industrie tels que: Vivado HLx, Logic Analyzer, Questa, Modelsim, HyperLynx, VCS et autres.

Partie E - Projet pratique -

- Projet de niveau industriel avec un expert métier qui vous accompagne de manière personnalisée tout au long de votre projet.

Ce sujet continue à la page suivante



KBP004 – FPGAXpert, Suite

Contenu du cours

Contenu du cours :

Table 1: KBP004 - Contenu du cours

Chapitre	Contenu
Digital Design	Design Digital Foundation <ul style="list-style-type: none"> • Designing with programmable logic • Synchronous design techniques • Using HDLs • VHDL/Verilog Design Methodologies <ul style="list-style-type: none"> • Top Down Design • Signals and Variables • Packages • Coding for Synthesis • Test benches • Technology Specific Code
Project	<ul style="list-style-type: none"> • Project Kickoff, explaining and choosing project subjects per teams of two. Distributing FPGA boards, board per attendee
VHDL / Verilog	<ul style="list-style-type: none"> • HDL for Designers • VHDL/Verilog Language Concepts • Introduction to Testbenches • Signal and Data Types
Project	<ul style="list-style-type: none"> • Project architectures presented by students
EDA	<ul style="list-style-type: none"> • Modelsim/Quarta/VCS • Synplicity/Vendor Tools • Xilinx Vivado HLx/Logic-Analyzer • ChipScope/SignalTap/Identify

Ce sujet continue à la page suivante



KBP004 – FPGAXpert, Suite

Contenu du cours, Suite

Chapitre	Contenu
FPGA Design	<p>FPGA for Designers</p> <ul style="list-style-type: none">• Basic FPGA Architecture• HDL Synthesis Synchronous Design• Techniques-details and labs.• Reading Reports• Global Timing Constrains• Clock Tree• Designing with FPGA Resources• Designing Clock Resources• Basics of DSP Slice within a Chip• FPGA Design Techniques• Synthesis Techniques• Achieving Timing Closure• Reading Timing Reports• Path-Specific Timing Constraints• Power Estimation <p>Board Design and Signal Integrity</p> <ul style="list-style-type: none">• Board Development Process• Signal Integrity for High Speed Board• Design Verification of Board Design
Project	<ul style="list-style-type: none">• Projects presented by Students
The End	<ul style="list-style-type: none">• Q&A• Course's Evaluation

